НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ім. І. СІКОРСЬКОГО»

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

КАФЕДРА СИСТЕМНОГО ПРОГРАМУВАННЯ ТА СПЕЦІАЛІЗОВАНИХ КОМП’ЮТЕРНИХ СИСТЕМ

**Лабораторна робота №2  
з дисципліни «Технологія проектування комп’ютерних систем»**

**Варіант 3**

Виконав  
студент 4-го курсу  
групи КВ-41  
Горпинич-Радуженко Іван

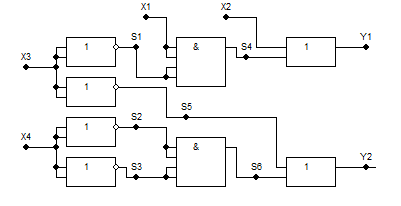
Київ – 2017

**Постановка задачі**

Побудувати комбінаційну схему, використовуючи елементи, створені в лабораторній роботі №1, та поведінкову модель за таблицею істиності:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 |

**Комбінаційна схема**



**Лістинг**

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

entity task1 is

port(

x1 : in STD\_LOGIC;

x2 : in STD\_LOGIC;

x3 : in STD\_LOGIC;

y1 : out STD\_LOGIC;

y2 : out STD\_LOGIC

);

end task1;

architecture task1 of task1 is

component \4and\ is

port(in1: in STD\_LOGIC; in2: in STD\_LOGIC; in3: in STD\_LOGIC; in4: in STD\_LOGIC; out1: out STD\_LOGIC);

end component;

component \2or\ is

port(in1: in STD\_LOGIC; in2: in STD\_LOGIC; out1: out STD\_LOGIC);

end component;

component \2not\ is

port(in1: in STD\_LOGIC; in2: in STD\_LOGIC; out1: out STD\_LOGIC; out2: out STD\_LOGIC);

end component;

signal S1, S2, S3, S4, S5, S6: STD\_LOGIC;

begin

D1: \2not\ port map(X3, X3, S1, S5);

D2: \2not\ port map(X1, X2, S2, S3);

D3: \4and\ port map(X1, X1, S1, S1, S4);

D4: \4and\ port map(S2, S2, S3, S3, S6);

D5: \2or\ port map(X2, S4, Y1);

D6: \2or\ port map(S5, S6, Y2);

end task1;

---------------------------------------

library IEEE;

use IEEE.std\_logic\_1164.all;

entity task2 is

generic(maxdelay:time := 130ns);

port (

indata: in STD\_LOGIC\_VECTOR (2 downto 0);

outdata: out STD\_LOGIC\_VECTOR (1 downto 0)

);

end entity task2;

architecture task2 of task2 is

begin

with indata select outdata <=

"01" after maxdelay when "000" ,

"01" after maxdelay when "001" ,

"11" after maxdelay when "010" ,

"10" after maxdelay when "011" ,

"11" after maxdelay when "100" ,

"00" after maxdelay when "101" ,

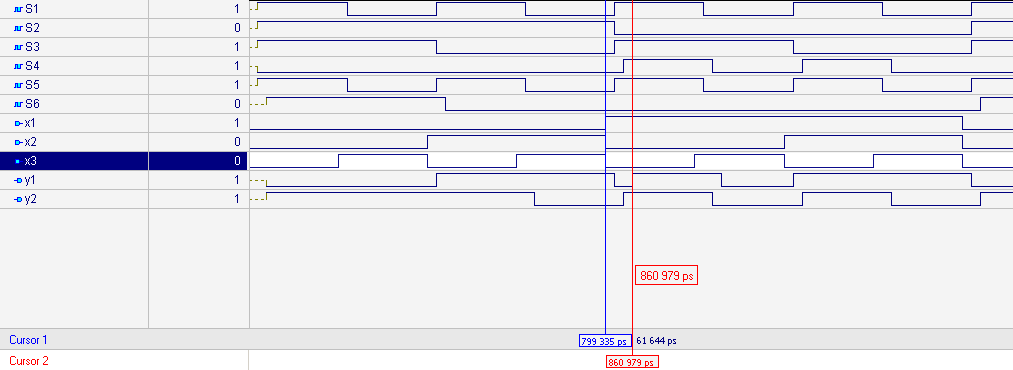
"11" after maxdelay when "110" ,

"10" after maxdelay when others

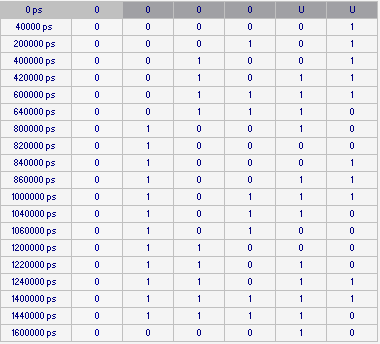
;

end architecture task2;

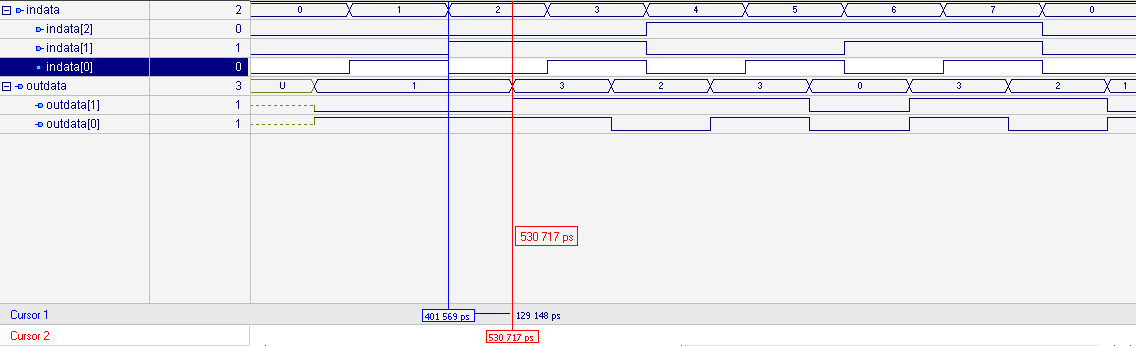
**Демонстрація роботи**

****

*Часова діаграма комбінаційної схеми*

**

*Таблиця істинності КС*

**

*Часова діаграма поведінкової моделі*